

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-122726
 (43) Date of publication of application : 10.05.1990

(51) Int. Cl. H03K 19/0948
 H01L 27/088

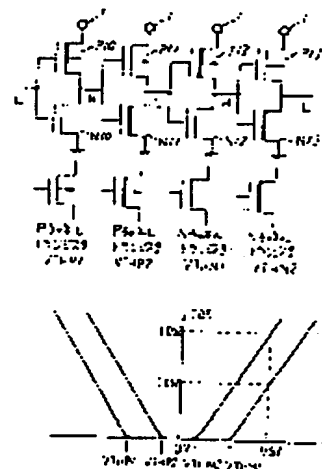
(21) Application number : 63-276811 (71) Applicant : MITSUBISHI ELECTRIC CORP
 (22) Date of filing : 31.10.1988 (72) Inventor : YAMAMOTO MAKOTO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To accelerate an operation by setting the absolute value of the threshold value of an insulation gate type transistor set at an ON state when a power goes down less than that of the threshold value to generate an OFF state.

CONSTITUTION: For example, a transistor TR having two kinds of threshold values VTEN1 and VTEN2 as an N-channel transistor TR is provided. Relation $\overline{VTEN1} > \overline{VTEN2}$ is given between both threshold values, and the threshold values N10 and N12 set at the OFF states when the power goes down is set as VTEN1, and the threshold values N11 and N13 set at the ON state as VTEN2. When a gate voltage VG1 is applied to turn on the TR, the source and drain currents of the TR having the threshold value VTEN1 and the TR having the threshold VTEN2 go to IDS1 and IDS2, respectively. In such a manner, the source and drain current IDS of the TR having a low threshold value is increased, which enables the fast operation to be performed when the TR having the low threshold value is used in an integrated circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-122726

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月10日

H 03 K 19/0948
H 01 L 27/0888326-5 J H 03 K 19/094
7735-5 F H 01 L 27/081 0 2 B
J

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭63-276811

⑯ 出 願 昭63(1988)10月31日

⑰ 発 明 者 山 本 誠 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 半導体基板上に形成された絶縁ゲート型トランジスタにより構成された半導体集積回路装置において、パワーダウン時 ON 状態になる絶縁ゲート型トランジスタの閾値の絶対値を OFF 状態になる絶縁ゲート型トランジスタの閾値の絶対値に比べて小さくしたことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体基板上に形成された半導体集積回路に関するものである。

〔従来の技術〕

従来の半導体集積回路の一例として、第3図に CMOS で構成された4段のインバータ回路を示す。図において、P20、P21、P22、P23 は P チャネルトランジスタ、N20、N21、N22、N23 は N チャネ

ルトランジスタである。

半導体集積回路装置、特にメモリ装置においては低消費電力化のためパワーダウンモード(スタンバイモード)という機能を有しており、半導体集積回路装置を使用しない時は電力を少なくするような回路構成になっている。図において、“L”あるいは“H”の論理レベルはパワーダウン時のレベルであり、この場合、トランジスタ N20、P21、N22、P23 が OFF 状態になりパワーカットする役割をしている。また、トランジスタ P20、N21、P22、N23 はパワーダウン時 ON 状態になっており、パワーカットの役割はしていない。そして、製造工程を容易にするため P チャネルトランジスタ P20、P21、P22、P23 の閾値は同一であり、N チャネルトランジスタ N20、N21、N22、N23 の閾値も同一にすることが一般的である。

〔発明が解決しようとする課題〕

しかしながら、近年半導体装置に対して低消費電力化だけでなく、高速化という要求が強くなってきており、この要求に対応していく必要が生じ

てきた。

従来の半導体集積回路に使用しているトランジスタは、OFF時のリーク電流を防止するということとで閾値の絶対値を大きくしていた。例えばPチャネルトランジスタの閾値 $V_{THP} = -1.0V$ 、Nチャネルトランジスタの閾値 $V_{THN} = -1.0V$ といった閾値を用いており、リーク電流による消費電力の増加を防いでいた。この場合、トランジスタがON状態になつたときは当然のことながらトランジスタのON抵抗が大きくなり、回路の高速化つまり半導体装置の高速化が容易にできないという問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、消費電力を小さく維持したまま高速動作させることのできる半導体集積回路装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体集積回路装置はパワーダウン時においてON状態になるトランジスタの閾値の絶対値をOFF状態になるトランジスタの閾値

ーダウン時OFF状態にあるトランジスタ $P11$ 、 $P13$ の閾値は V_{THP1} とし、ON状態にあるトランジスタ $P10$ 、 $P12$ の閾値は V_{THP2} とする。同様にNチャネルトランジスタとして V_{THN1} 、 V_{THN2} という2種類の閾値を持つトランジスタを設ける。両閾値は $|V_{THN1}| > |V_{THN2}|$ という関係にあり、パワーダウン時OFF状態にあるトランジスタ $N10$ 、 $N12$ の閾値は V_{THN1} とし、ON状態にあるトランジスタ $N11$ 、 $N13$ の閾値は V_{THN2} とする。

また、第2図にPチャネルトランジスタとNチャネルトランジスタのゲート電圧 V_G に対するソース・ドレイン電流 I_{DS} の関係を示す。例えば、Nチャネルトランジスタの場合、トランジスタをON状態にさせるためゲート電圧 V_{G1} を加え、 V_{THN1} という閾値を持つトランジスタと V_{THN2} という閾値を持つトランジスタのソース・ドレイン電流はそれぞれ I_{DS1} 、 I_{DS2} となる。図から明らかなように閾値の低いトランジスタのソース・ドレイン電流 I_{DS} が大きくなり ($I_{DS2} > I_{DS1}$)、閾値の低いトランジスタを集積回路に用いたとき高速化

の絶対値に比べて小さくしたものである。

〔作用〕

この発明の半導体集積回路装置は半導体装置の低消費電力を維持しながら高速化することが可能になる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例であるCMOSで構成された4段のインバータ回路を示す。図において、 $P10$ 、 $P11$ 、 $P12$ 、 $P13$ はPチャネルトランジスタ、 $N10$ 、 $N11$ 、 $N12$ 、 $N13$ はNチャネルトランジスタである。また、図において、“L”あるいは“H”の論理レベルはパワーダウン時のレベルであり、トランジスタ $N10$ 、 $P11$ 、 $N12$ 、 $P13$ はOFF状態になり、トランジスタ $P10$ 、 $N11$ 、 $P12$ 、 $N13$ はON状態になつている。ここで、Pチャネルトランジスタとして閾値の異なる2種類のトランジスタを設け、その閾値を V_{THP1} 、 V_{THP2} とする。両閾値は $|V_{THP1}| > |V_{THP2}|$ という関係にあり、パワ

が可能になる。逆に、トランジスタをOFF状態にするためにゲート電圧を0Vとしたとき、閾値が大きいトランジスタの方がゲート電圧との差が大きくなり、リーク電流を防止することが可能になる。

説明は省略するが、Pチャネルトランジスタについても同様のことが言える。

〔発明の効果〕

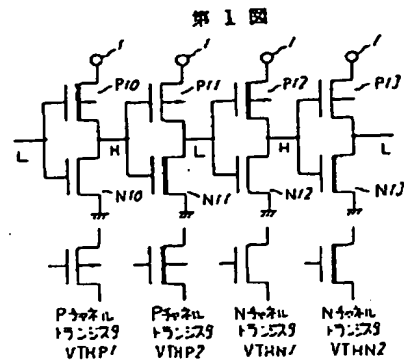
以上のようにこの発明によれば、半導体集積回路において、パワーダウン時ON状態になるトランジスタの閾値の絶対値を小さくし、OFF状態になるトランジスタの閾値の絶対値を大きくしているために、消費電力を小さく維持したまま半導体集積回路装置を高速動作させることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるCMOSで構成された4段のインバータ回路の回路図、第2図は第1図のインバータ回路に使用されるトランジスタの特性グラフ、第3図は従来のCMOSで構成された4段のインバータ回路の回路図を示す。

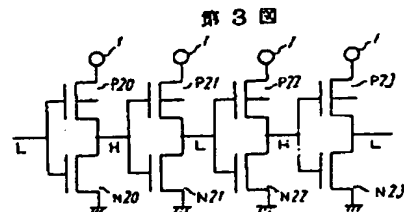
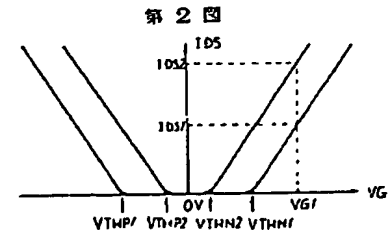
(1) …電源、P10、P12…閾値の絶対値の小さい
Pチャネルトランジスタ、N11、N13…閾値の絶
対値の小さいNチャネルトランジスタ、P11、P13、
P20、P21、P22、P23…閾値の絶対値の大きいPチャ
ネルトランジスタ、N10、N12、N20、N21、N22、N23…
閾値の絶対値の大きいNチャネルトランジスタ。

代理人 大 岩 増 雄



$$|V_{THP1}| > |V_{THP2}|$$

$$|V_{THN1}| > |V_{THN2}|$$



手続補正書(自発)

平成 1 年 1 月 17 日
特許庁長官殿



特許庁長官殿

1. 事件の表示 特願昭 63-276811 号

2. 発明の名称 半導体集積回路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄。

6. 補正の内容

(1) 明細書の第3頁第6行に

「閾値 $V_{THN} = -1.0V$ 」とあるのを

「閾値 $V_{THN} = +1.0V$ 」に訂正する。

以 上

